

תרגיל מס' 6 VHDL

מרצה – פרופסור אלי פלקסר

חבילות, סיפריות, פונקציות ופרוצדורות

1. תכנן אוגר הזזה אוניברסלי לסיבוב והזזה שמאלה וימינה של רגיסטר. השתמש בפונקציה המקבלת אוגר R עליו תופעל הפונקציה, ושני בקרים D ו T הקובעים את הכיוון (שמאל או ימין) וסוג הפעולה (הזזה או סיבוב), שיופעלו על האוגר, ומחזירה את הערך החדש לאחר האופרציה. מיבנה הפונקציה מתואר בשורה למטה.

```
function ShiftRot (R: std_logic_vector, D: std_logic, T: std_logic ) return std_logic_vector;
```

כתוב Test-Bench קצר הבוחן את פעולת המודל.

2. תכנן BCD to 7 Seg בעל ארבעה ערוצים, כלומר ארבע כניסות של 4 ביטים וארבע יציאות של 7 ביטים. ממש את המעגל ע"י שימוש בפונקציה אחת שקוראים לה ארבע פעמים - פעם אחת עבור כל ערוץ.

3. כתוב פונקציה המקבלת שני מספרים בתור מערכי ביטים ומחזירה את מכפלתם ברוחב מתאים. השתמש בפונקציה להכפלת שלוש זוגות של מספרים.
כתוב Test-Bench קצר הבוחן את פעולת המודל.

4. חזור על התרגילים הקודמים תוך שימוש ב Component במקום בפונקציות.