

Getting Started Warp & Active HDL

חוברת הדרכה למתחיל

Written by: Dr. Eli Flaxer♣

מהדורה ראשונה

2003

♣ Copyright © 2003 by Dr. Flaxer Eli.

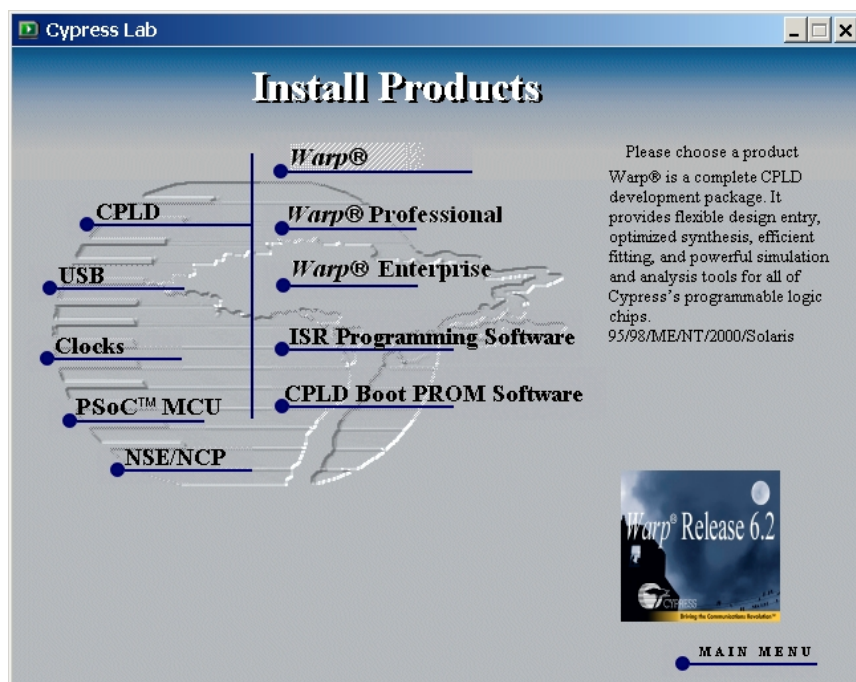
All rights reserved. No part of this publication may be reproduced or distributed in any form or by any means, or stored in a database or retrieval system, without the prior written permission of the writer.

הקדמה

בקורס שפות חומרה הסטודנט יתרגל חלק משעות הקורס במעבדה. כלי הפיתוח בהם יעשה שימוש במעבדה הם מתוצרת חברת CYPRESS וכוללים:

1. עורך טקסט - [Galaxy](#).
2. סינתיסיזר - [WARP](#).
3. סימולטור - [Active HDL](#).

לפני התחלת העבודה יש להתקין את התוכנות במחשב (במעבדה התוכנה כבר מותקנת) מתקליטור ההתקנה. הכנס את התקליטור לכונן, והמתן לקבלת מסך של התחלה אוטומטית. בחר בתפריט המרכזי את השורה של התקנת תוכנה (Install Products), בכדי לקבל את המסך המופיע למטה. במסך זה בחר את האופציה CPLD ומתוכה בחר WARP. המשיך בהליך של התקנה מלאה, והתקן את כל האופציות. לסיום בצע העלה מחדש של המחשב (Restart). אם התהליך פעל כשורה, בתפריט התחל עליך למצוא, תחת CYPRESS את התוכנות.

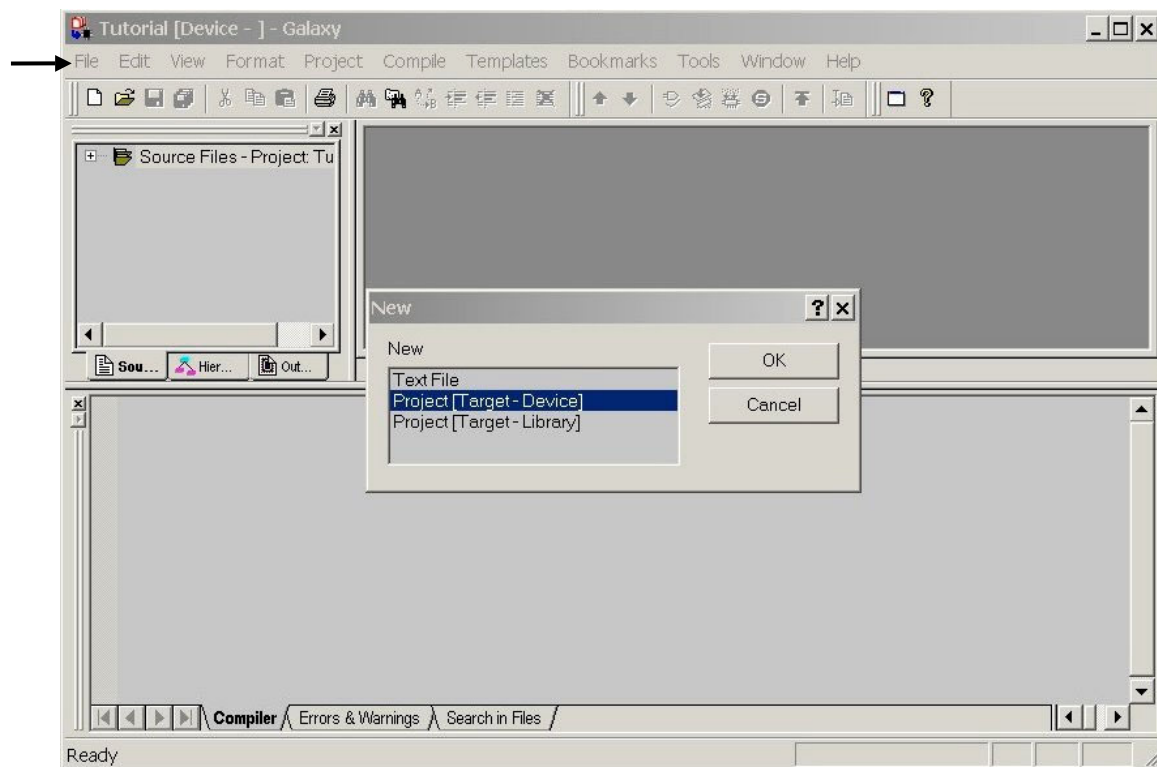


איור 1: מסך ההתקנה של WARP

בהמשך, ימצא הקורא תקציר מהיר כיצד לעבוד עם הכלים הנ"ל.

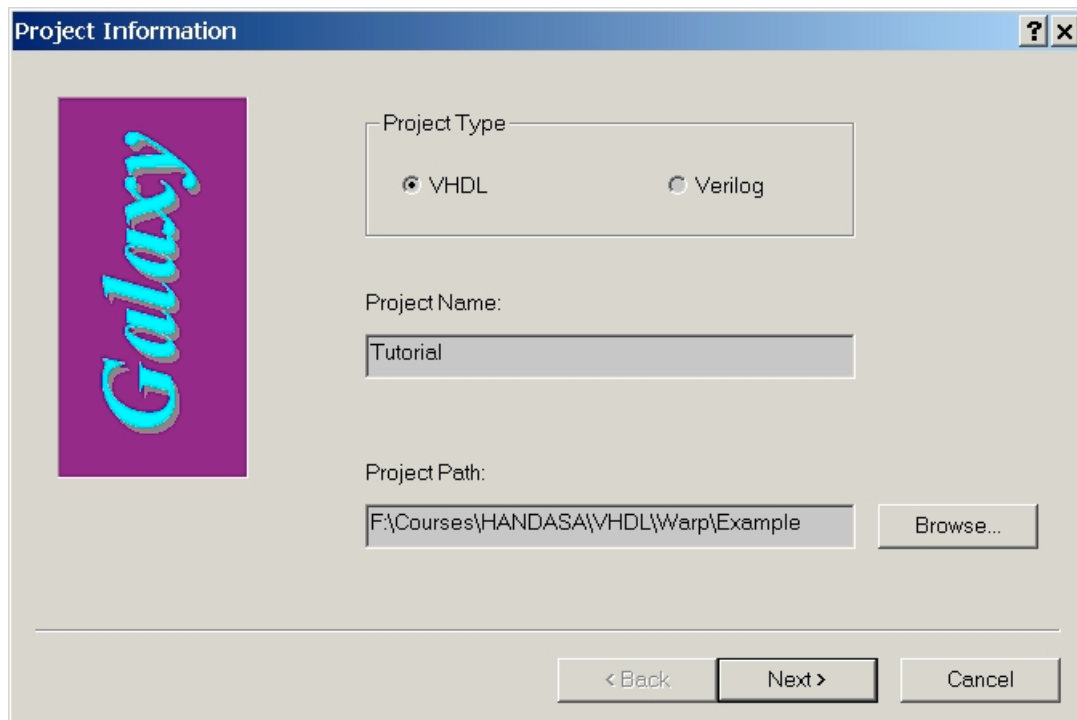
מנהל סביבת הפיתוח - GALAXY

העבודה כולה נעשית תחת מנהל סביבת הפיתוח (IDE) GALAXY. כלי זה מספק עורך טקסט מתקדם המתאים לשפות VHDL ו VERILOG. בנוסף, הכלי מאפשר קריאה לשאר מרכיבי המערכת: סינתיסייזר, סימולטור, FITTER וכד'. סביבת העבודה, הפועלת במתכונת של פרוייקט, מאפשרת שליטה מלאה בכל מרכיבי המערכת דרך כלי מרכזי אחד. לשם כך, רצוי ליצור עבור כל פרוייקט DIRECTORY משלו, אשר בו ישמרו כל הקבצים השייכים לפרוייקט זה. ועתה לעבודה. הרץ את GALAXY דרך תפריט התחל של חלונות (START). בכדי לבנות פרוייקט חדש, בחר בתפריט FILE (ראה חץ) את האופציה NEW וקבל את המסך המופיע באיור 2. סמן את האופציה **Project [Target-Device]**, כדי להתחיל פרוייקט המיועד ליצירת רכיב חדש (האפשרויות האחרות הן: יצירת קובץ מקור חדש או ספרייה מקומפלת חדשה, כפי שנראה בהמשך) ולחץ OK.



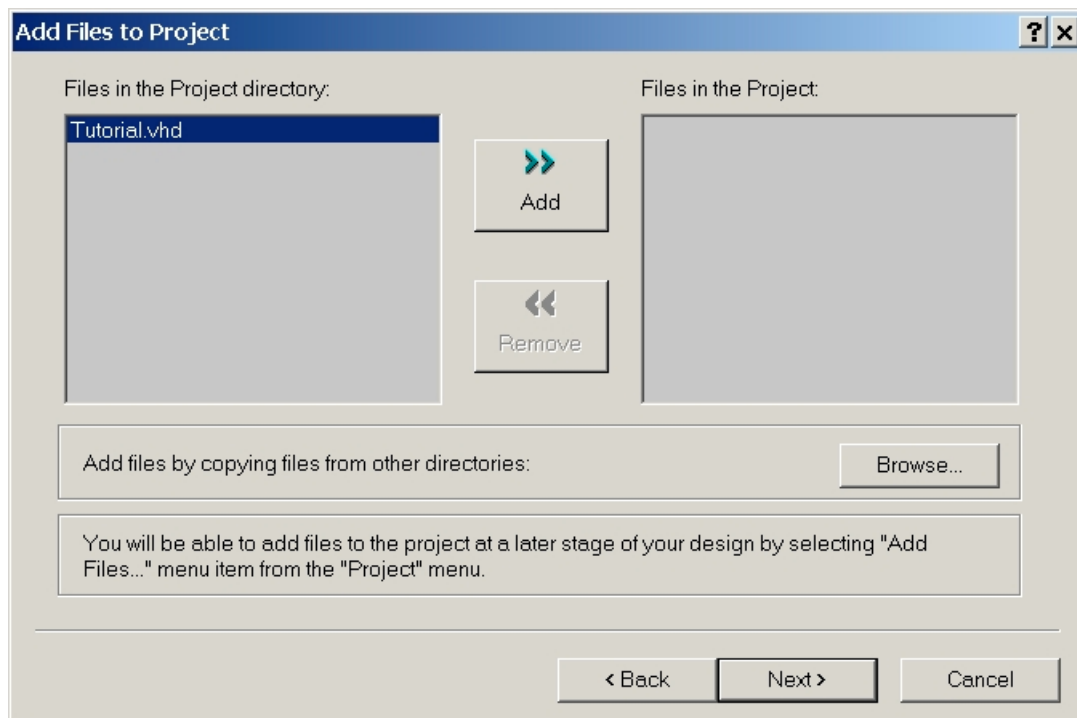
איור 2: מסך בחירת פרוייקט חדש

במסך המתקבל, המופיע באיור 3, קובעים את נתוני הפרוייקט. סמן את טיפוס הפרוייקט VHDL. בחר שם לפרוייקט (בחר שם בעל משמעות). קבע את מיקום הפרוייקט, כלומר, את הכונן והמחיצה בה יאוחסנו הפרוייקט והקבצים הנלווים אליו. הקפד על מיקום אותו אתה מזהה והניתן לגיבוי. בדוק האם יש לך רישוי מלא במיקום זה של הכונן או הרשת (במעבדה יש להקפיד לשמור רק במחיצה הלא משוחזרת). רצוי מאוד להקפיד על שמירה של פרוייקט אחד בלבד במחיצה נתונה ולא לערבב מספר פרוייקטים במחיצה אחת. להמשך הקש NEXT.



איור 3: מסך נתוני פרוייקט חדש

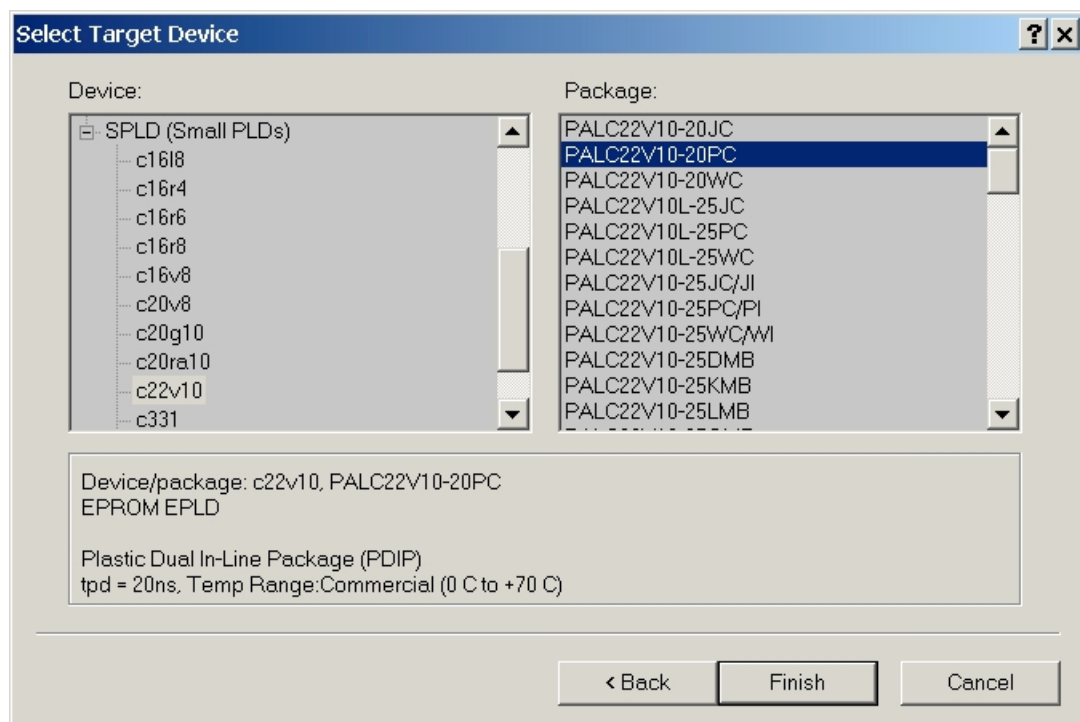
המסך המתקבל מופיע באיור 4.



איור 4: מסך קבצי פרוייקט חדש

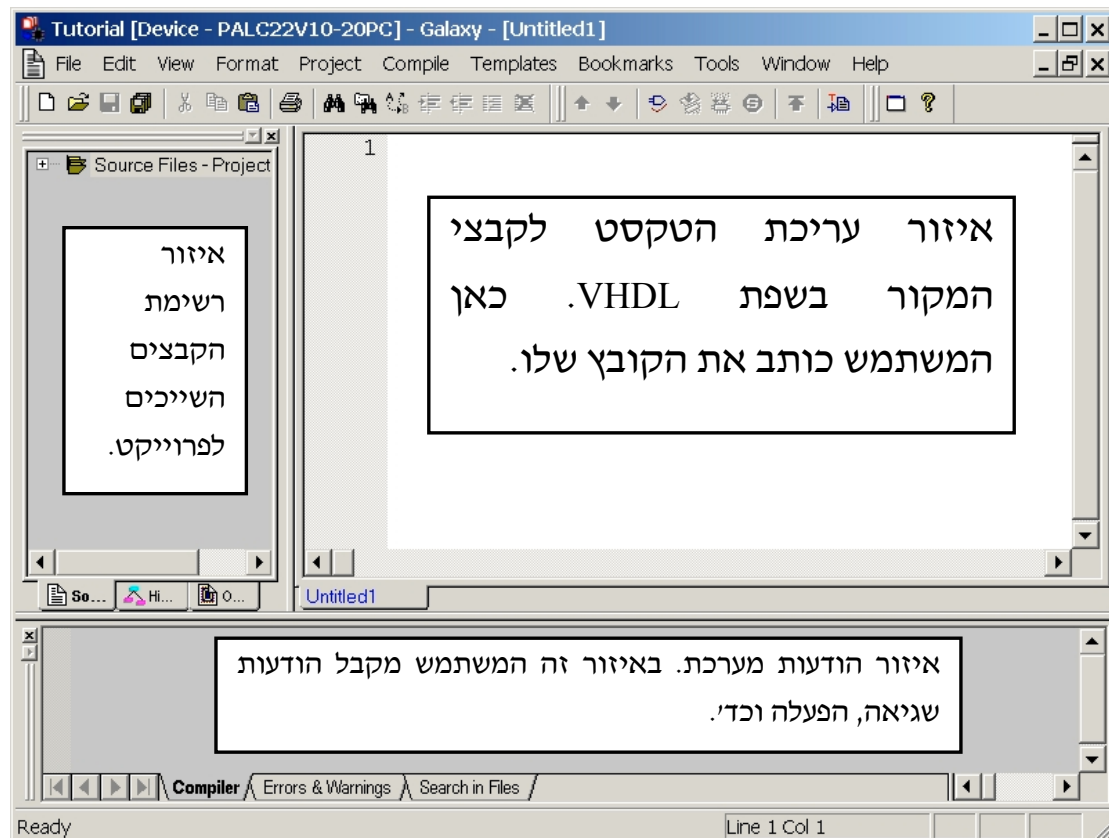
הפעולה במסך זה תלויה בסוג הפרוייקט החדש. ישנם שתי אפשרויות פעולה התלויות בשני מצבי הפעולה שהם:

1. פרוייקט חדש שעדיין אין לו קבצי מקור (לא כתבו עדיין את קובץ VHDL).
 2. פרוייקט חדש שקבצי המקור שלו קיימים או מבוססים על פרוייקט אחר.
- במקרה הראשון, הקש NEXT בכדי לעבור למסך הבא (תמיד תוכל לחזור למסך זה מתוך תפריט Project). במקרה השני, סמן בצד שמאל את הקבצים הקיימים, אותם אתה רוצה לשייך לפרוייקט, והקש ADD. הקש NEXT בכדי לעבור למסך הבא המופיע באיור 5.
- במסך זה בחר את הרכיב אותו אתה מיעד לפרוייקט. ראשית בחר את המשפחה בחלון השמאלי (בתרגול זה בחר SPLD). מתוך המשפחה בחר את הרכיב המסויים הרצוי (בתרגול זה בחר את הרכיב C22V10). לסיום בחר, בחלון הימני, את האריזה והמאפיינים (פינים, תדרים, טמפרטורה וכד', בתרגול זה בחר PALC22V10-20PC). לסיום הקש FINISH. לשאלה האם ברצונך לשמור את הקובץ ענה בחיוב.
- זהו זה. שלב ראשון עבר בהצלחה.



איור 5: מסך בחירת הרכיב הרצוי לפרוייקט

בשלב שני צריך ליצור את קבצי המקור ולשייך אותם לפרוייקט. אנו נעבוד עם קובץ מקור אחד בלבד ואותו ניצור כעת. בחר בתפריט FILE את האופציה NEW וקבל את המסך המופיע באיור 2. סמן את האופציה **TextFile**, כדי ליצור קובץ טקסט חדש (קובץ VHDL הוא קובץ טקסט) ובחר OK. המסך המתקבל יראה כמו באיור 6.

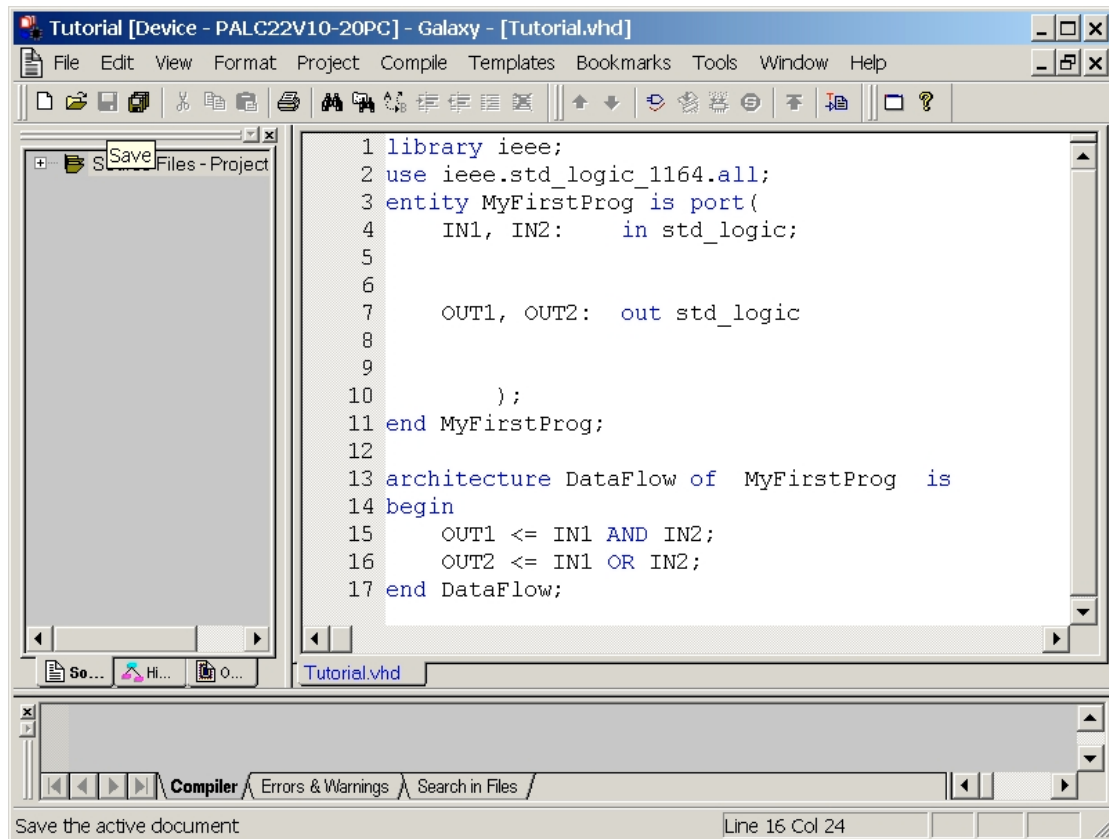


איור 6: מסך עריכת קבצי טקסט

באזור עריכת הטקסט כתוב את קובץ VHDL שלך לפי התבנית המצורפת (ראה איור 7). שמור את הקובץ בשם הרצוי לך (בתרגיל זה: Tutorial.vhd) במחיצת הפרוייקט כפי שהוגדרה בהתחלה.

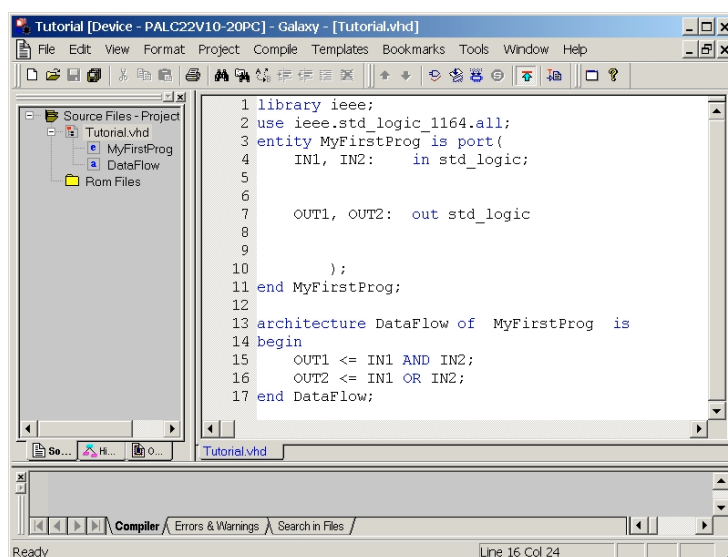
חשוב מאוד - הקובץ חייב להיות בעל סיומת VHD ועליך לכתוב זאת באופן מפורש (לדוגמא: MyProg.vhd). אי הוספת הסיומת VHD תגרום, בהמשך, לפעולה בלתי תקינה של המערכת. שם לב שלאחר השמירה בשם בעל סיומת VHD, המילים השמורות של השפה מסומנות בצבע כחול. במקרה והסיומת לא תקינה המילים לא יסומנו בצבע שונה.

אם פעלת כשורה עליך לקבל את המסך המופיע באיור 7. שם לב לכותרת החלון בה מופיעים: שם הפרוייקט, שם הרכיב ושם קובץ המקור.



איור 7: החלון המרכזי לאחר עריכה ושמירה

לסיום עלינו לצרף את קובץ המקור לפרוייקט (שם לב שבאיזור רשימת הקבצים אין קבצים המשוייכים לפרוייקט). בתפריט Project בחר Add File וקבל את המסך שמופיע באיור 4, עליו דילגנו בשלב המוקדם. סמן את הקובץ הרצוי ולחץ ADD. לסיום הקש OK. אם הפעולה בוצעה כראוי, הקובץ יופיע באיזור הקבצים. סמן את הקובץ ובלחיצת עכבר ימנית קבע אותו כקובץ הראשי ע"י Set Top. זהו זה! **אנו מוכנים לשלב הבא - סימולציה או סינתזה.**

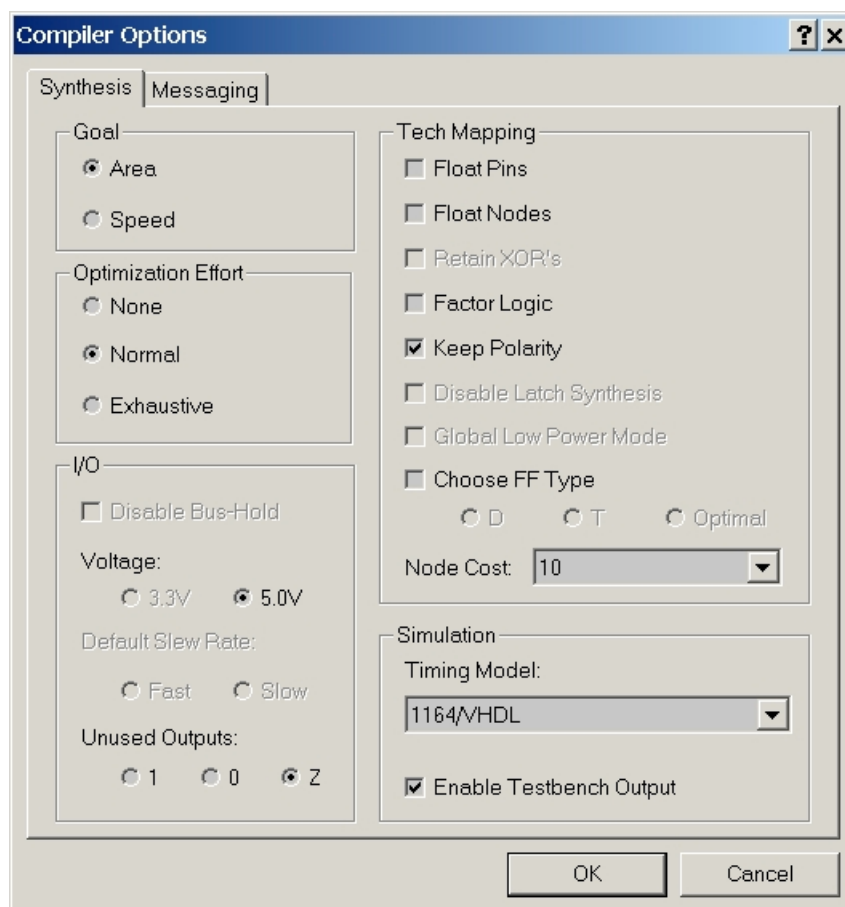


איור 8: המראה הסופי של חלון העורך בו מופיעים: רשימת הקבצים, קובץ המקור בשפת VHDL וחלון הודעות המערכת.

סינתיסיזר - WARP

הסינתוז וההשמה (FITTING) נעשים ע"י כלים חיצוניים שמורצים, בצורה שקופה למשתמש, ע"י העורך GALAXY. על המשתמש לבחור את הרכיב הרצוי מתוך תיבות בחירה, למלא את הפרמטרים הרצויים לסינתזה בתוך חלון מתאים ולהריץ GALAXY. יקרא לכלי המערכת בצורה סדרתית, עם הפרמטרים המתאימים, ויודיע על כך בחלון ההודעות. תוצאות ההרצה גם הן תופענה בחלון ההודעות, כלומר, אם היו שגיאות הן תופענה בחלון ולחיצה עליהן תמקם את הסמן על מקום השגיאה בקובץ המקור. אם הכול תקין תתקבל הודעה על כך.

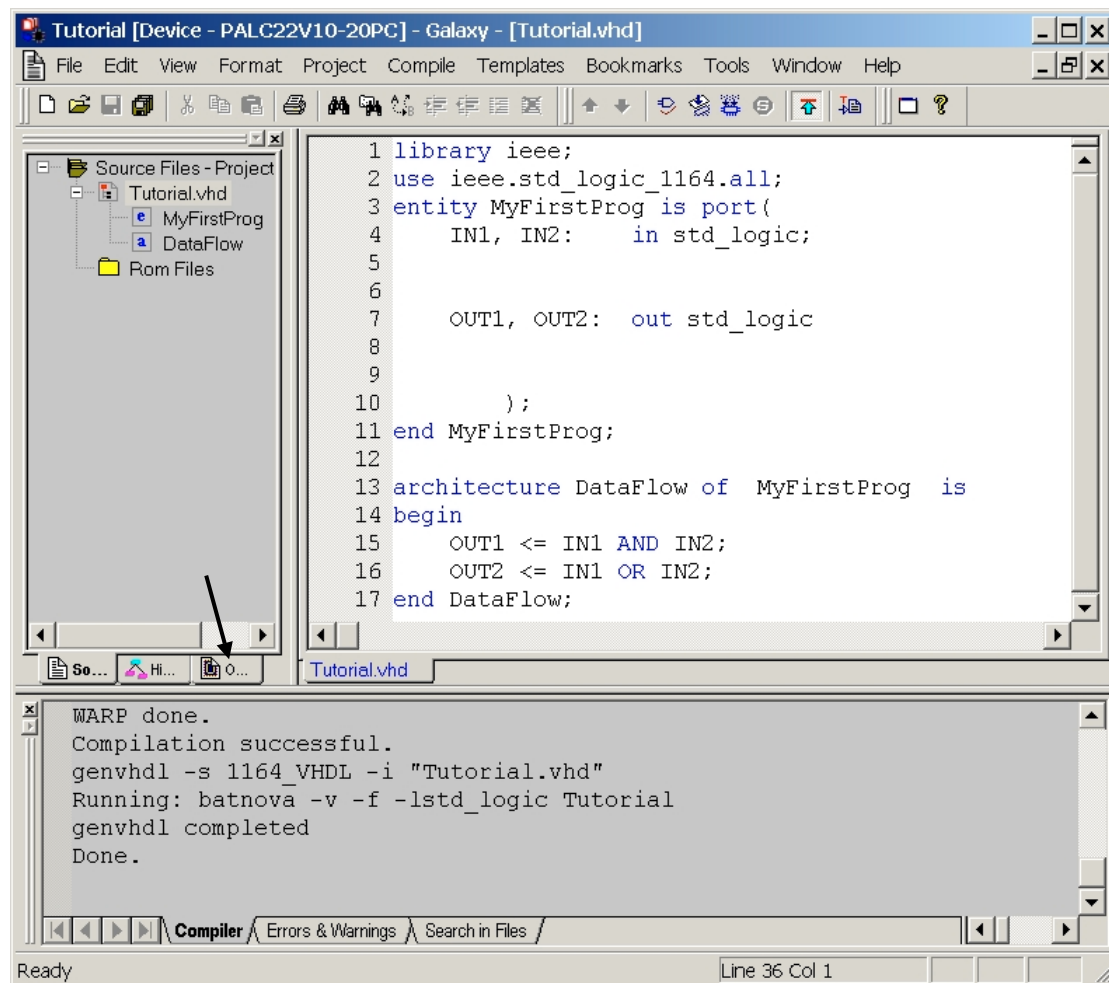
ועתה הבה ננסה. בתפריט Project בחר Compiler Options וקבל את החלון המופיע באיור 9. מלא את תיבות הבחירה בהתאם למוצג באיור ובחר OK.



איור 9: חלון בחירת האפשרויות לסינתזה

תפריט הבחירה לסימולציה (Simulation) קובע את פורמט קובץ הפלט לסימולציה. ניתן לבחור פורמטים שונים, אך אנו נשתמש במודל VHDL גם לסימולציה. אם לא רוצים בשלב זה פלט לסימולציה אפשר לבחור בשדה זה NONE.

להרצת סינתיזה לחץ על המקש F7 ועקוב אחר ההודעות בחלון ההודעות. אם הכל כשורה ואין שגיאות מסוג כל שהוא אמורים לקבל את המצב המופיע באיור 10.



איור 10: תוצאות הסינתיזה

בשעה טובה ! יש לך רכיב חדש שיצרת בשפת VHDL. חפש במחיצה של הפרוייקט קובץ בעל סיומת JED. קובץ זה מיועד לצריבת הרכיב האמיתי, כפי שנעשה בהמשך הקורס. עבור על תוצאות הסינתיזה בקובץ הדו"ח שהסינתיסיזר מפיץ. כדי להגיע לקובץ הדו"ח הקש על הלשונית הימנית באיזור הקבצים - Output Files View (ראה חץ באיור 10) וסמן את הקובץ Tutorial.rpt. בדוק את חלוקת הפינים (Pinout), ניצול המשאבים (Utilization), והמישוואות הבוליאניות (Equations).

ועתה נעבור לסימולציות.

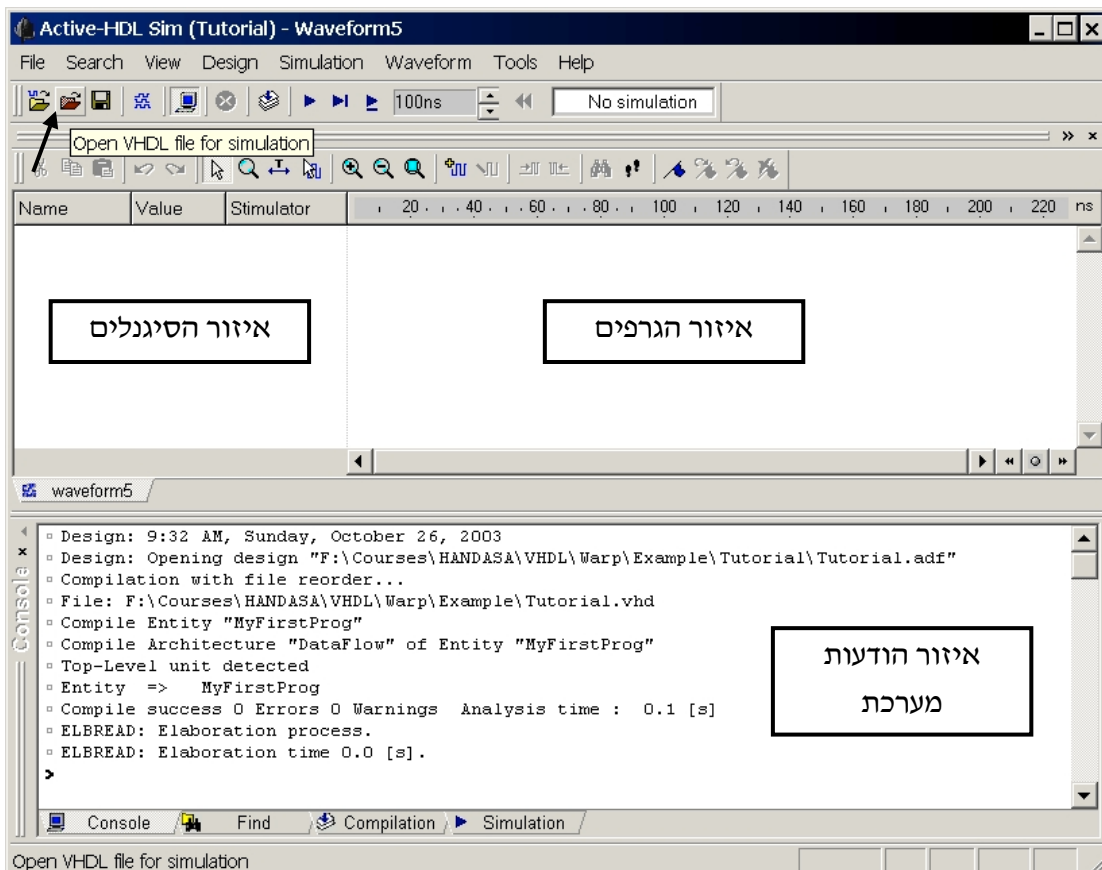
סימולטור - Active HDL

ניתן לבצע סימולציה בשתי רמות:

1. סימולציה בקוד מקור, חסרת זמנים, הבדוקת את האלגוריתמיקה של המודל ללא קשר לרכיב. סימולציה כזו ניתן באופן עקרוני לבצע עוד לפניי הסינתיזה.
2. סימולציה ברמת שערים (RTL) לאחר סינתיזה, המפיקה תוצאות אמיתיות המתחשבות בנתוני הרכיב הנבחר ובזמני המעבר שלו.

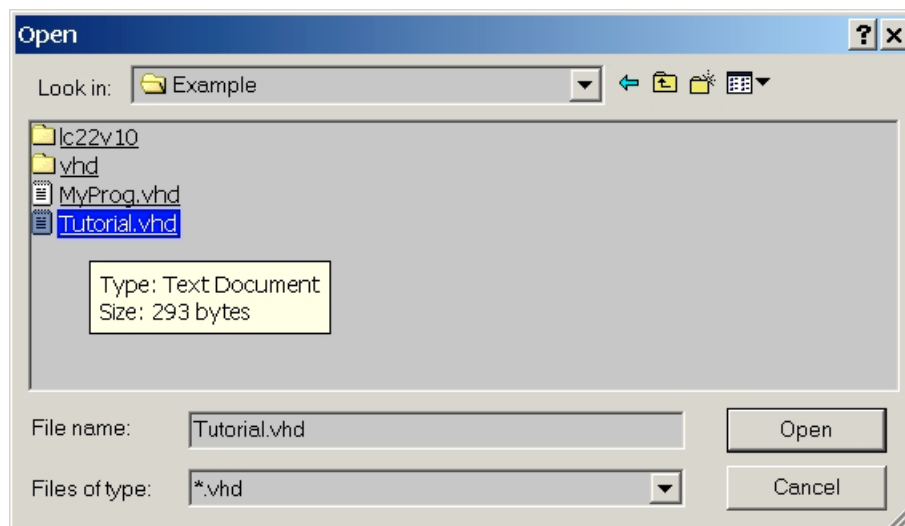
הארה חשובה - יתכן מאד שסימולציה בקוד מקור תעבור קומפילציה, תתן תוצאות נכונות בפלט, ולמרות זאת לא תעבור סינתיזה בהמשך. סיטואציה כזו יכולה להתרחש מחוסר משאבים ברכיב או באי התאמת הארכיטקטורה שלו למודל. לעומת זאת, תוצאות הסימולציה ברמת השערים נותנת תוצאה כמעט וודאית התואמת את פעולת הרכיב הצרוב.

אם כך, הבה נתחיל בסימולציה בקוד מקור (ללא זמנים) ונכיר אגב כך את הסימולטור. מתוך תפריט Tools הרץ את Active-HDL Sim וקבל את המסך המופיע באיור 11.



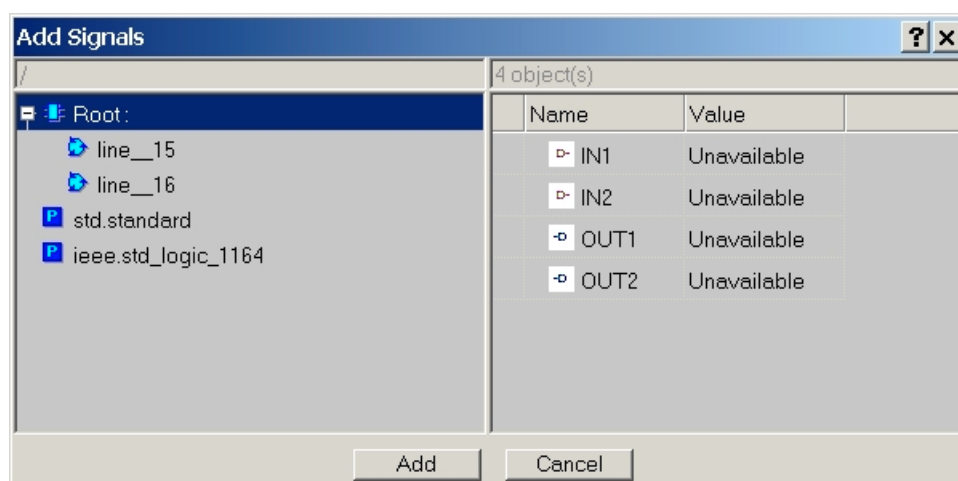
איור 11: הסימולטור Active-HDL

במסך המרכזי טען את קובץ המקור שלך (אותו קובץ שערכת קודם ע"י GALAXY). לחץ על לחצן פתיחת קבצי מקור (מסומן בחץ באיור 11) וקבל את המסך המופיע באיור 12. מצא באופן ודאי את המחיצה בה אתה עובד, סמן בתוכה את הקובץ שלך (בדוגמא זו Tutorial.vhd) והקש OPEN. באיזור המערכת יופיעו הודעות על קומפילציה, אם הקובץ תקין המערכת תודיע על כך, אחרת יופיעו הודעות שגיאה.



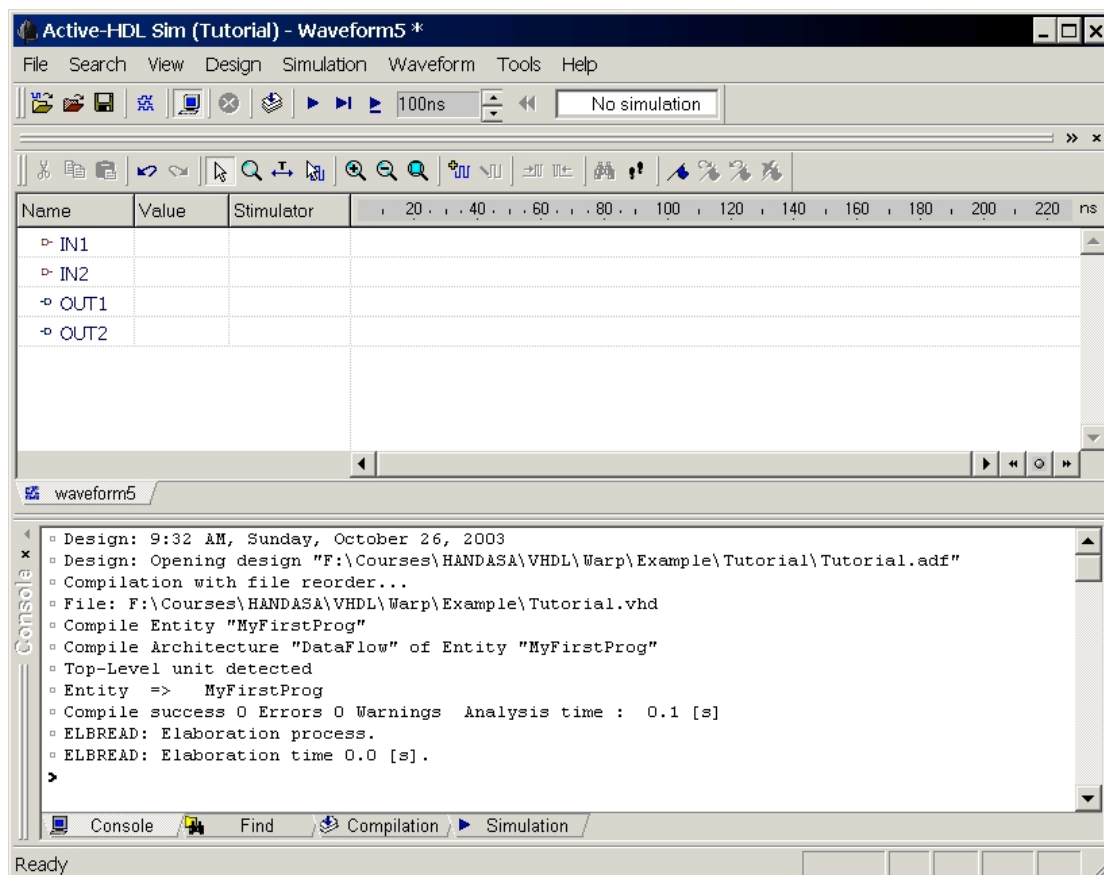
איור 12 : חלון בחירת הקובץ לסימולציה

מתוך תפריט Waveform בחר Add Signals וקבל את החלון המופיע באיור 13. סמן בצד ימין את כל הסיגנלים ולחץ על ADD. הסיגנלים שסומנו יופיעו באיזור הסיגנלים שבמסך הראשי.



איור 13 : חלון בחירת הסיגנלים

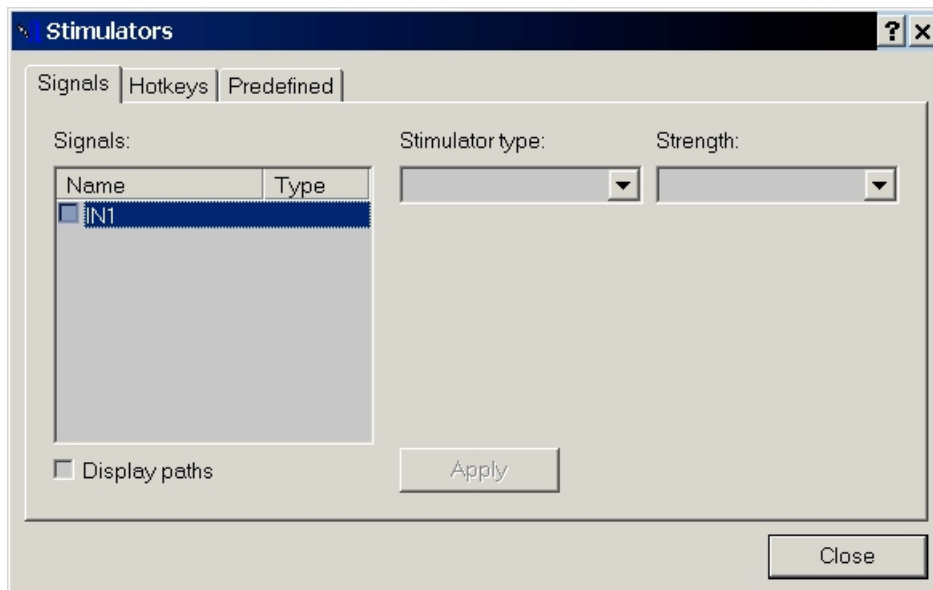
לאחר הוספת הסיגנלים, המסך הראשי אמור להראות כמופיע באיור 14.



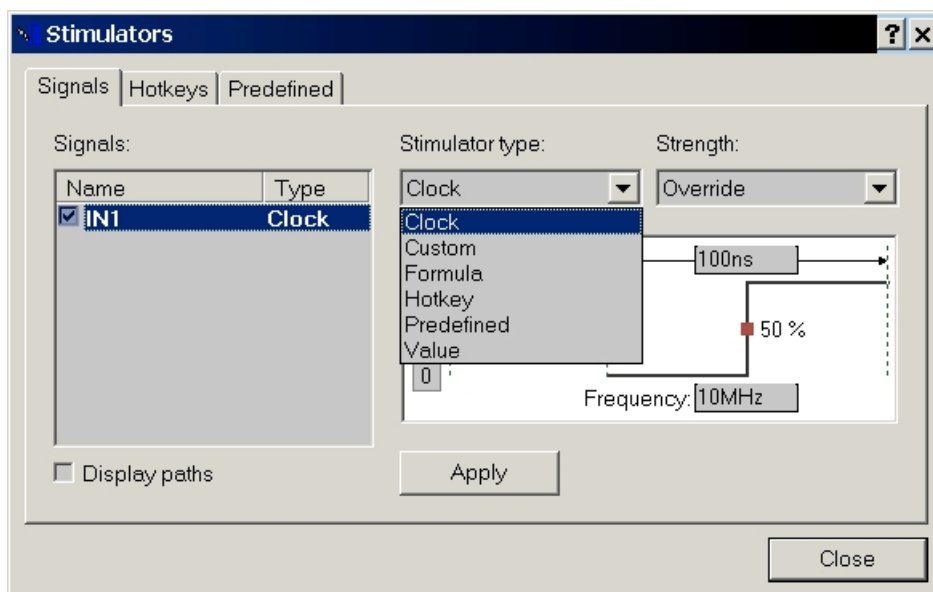
איור 14 : המסך הראשי לאחר הוספת הסיגנלים

קדימה בואו נתקדם. כעת צריך להכניס ערכים לסיגנלי הכניסה (INPUTS). סמן את IN_1 ובחר מתוך תפריט Waveform את האפשרות Stimulators. אתה אמור לקבל את המסך המופיע באיור 15. סמן את תיבות הבחירה בתוך החלון לפי המסומן באיור 16. כלומר, בחר Clock בתדר של 10 MHz ולסיום הקש APPLY. אם פעלת כשורה הסיגנל יופיע במסך הראשי. חזור על הפעולה עבור IN_2 אך הפעם קבע את התדר ל 5 MHz.

כפי שוודאי ראית, ישנם סוגי סיגנלים נוספים. כמו כן ישנם פרמטרים לכל סיגנל. כדי לקבל אינפורמציה מלאה על כל האפשרויות סמן עם העכבר את התיבה עליה אתה רוצה מידע ולחץ על המקש F_1 . מייד תקבל חלון המכיל אינפורמציה מלאה לגבי התיבה המסומנת.



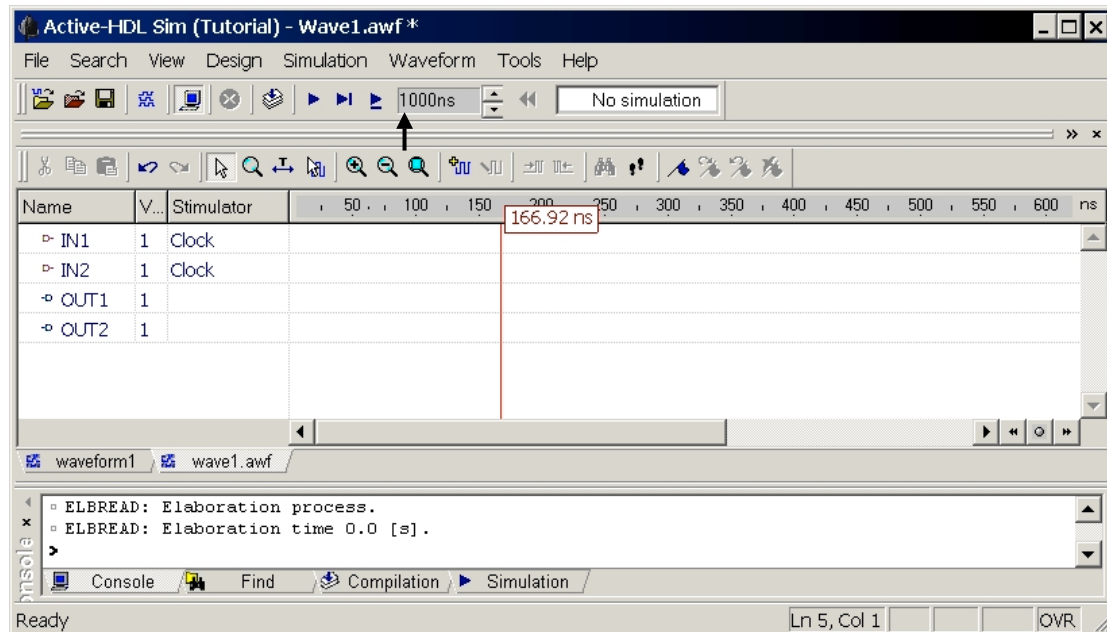
איור 15 : חלון ה Stimulators



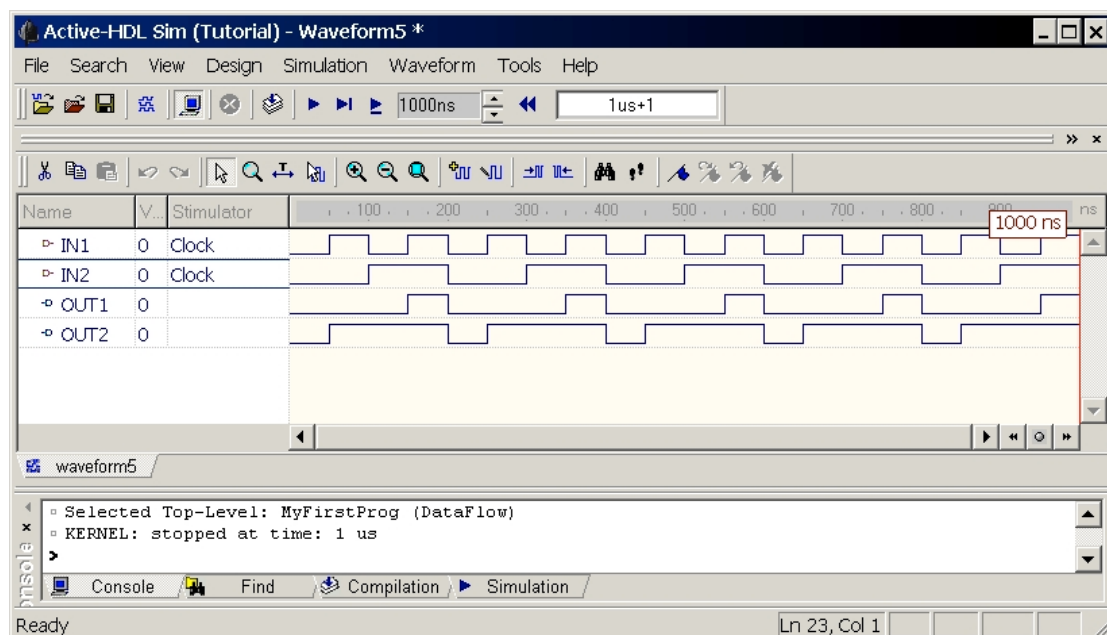
איור 16 : חלון בחירת סוג הסיגנל (במיקרה זה clock)

קדימה כמעט סיימנו.

במסך הראשי, סמן את זמן הסימולציה הרצוי (בהרצה זו 1000 ns), בחלון התיבה המתאימה (ראה חץ באיור 17). **להרצת סימולציה לחץ על המקש F5**. לאחר זמן קצר תוצאות הסימולציה יופיעו באיזור הגרפים של החלון המרכזי. כפי שניתן לראות באיור 18, המוצאים מקיימים את המודל הבוליאני שכתבנו בקובץ המקור (שערי AND ו OR). אם זאת, הסימולציה אינה משקפת את הזמנים האופייניים לרכיב הנבחר (סימולציה בקוד מקור).



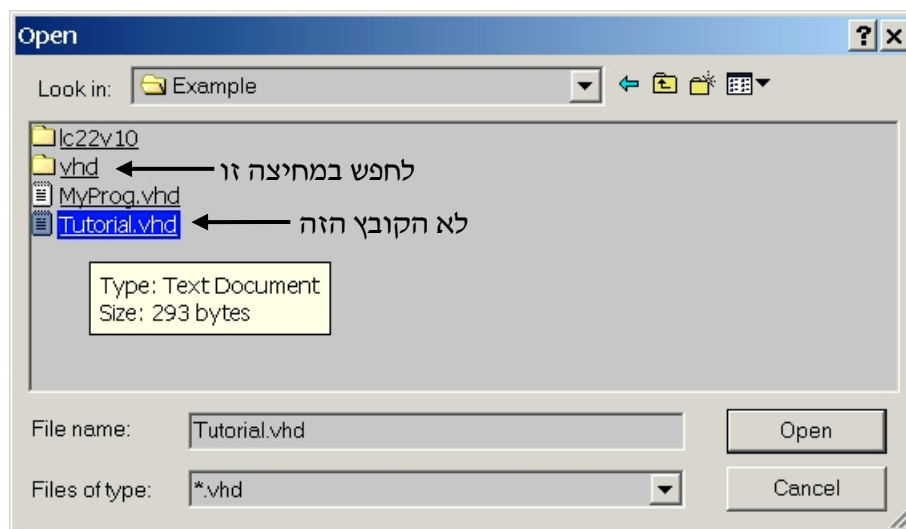
איור 17 : הרצת סימולציה



איור 18 : תוצאות הסימולציה באיזור הגרפים

הבה נמשיך בסימולציה בקוד RTL המשקף את הזמנים של הרכיב הנבחר. נחזור על ההליך שביצענו קודם עבור קובץ המקור, אך הפעם נטען את קובץ מודל RTL שגם הוא כתוב בשפת VHDL.

לחץ על לחצן פתיחת קבצי VHDL (מסומן בחץ באיור 11) וקבל את המסך המופיע באיור 19. מצא באופן ודאי את המחיצה בה אתה עובד. בתוך מחיצה זו כנס לתוכך מחיצת VHD (ראה חץ סימון באיור 19). במחיצת VHD סמן את הקובץ ששמו כשם הקובץ המקורי שלך (זה קובץ אחר בעל שם זהה, שהסינטיסייזר יצר, ובו כל נתוני הזמנים) והקש OPEN. באיזור המערכת יופיעו הודעות על קומפילציה, אם הקובץ תקין המערכת תודיע על כך, אחרת יופיעו הודעות שגיאה.

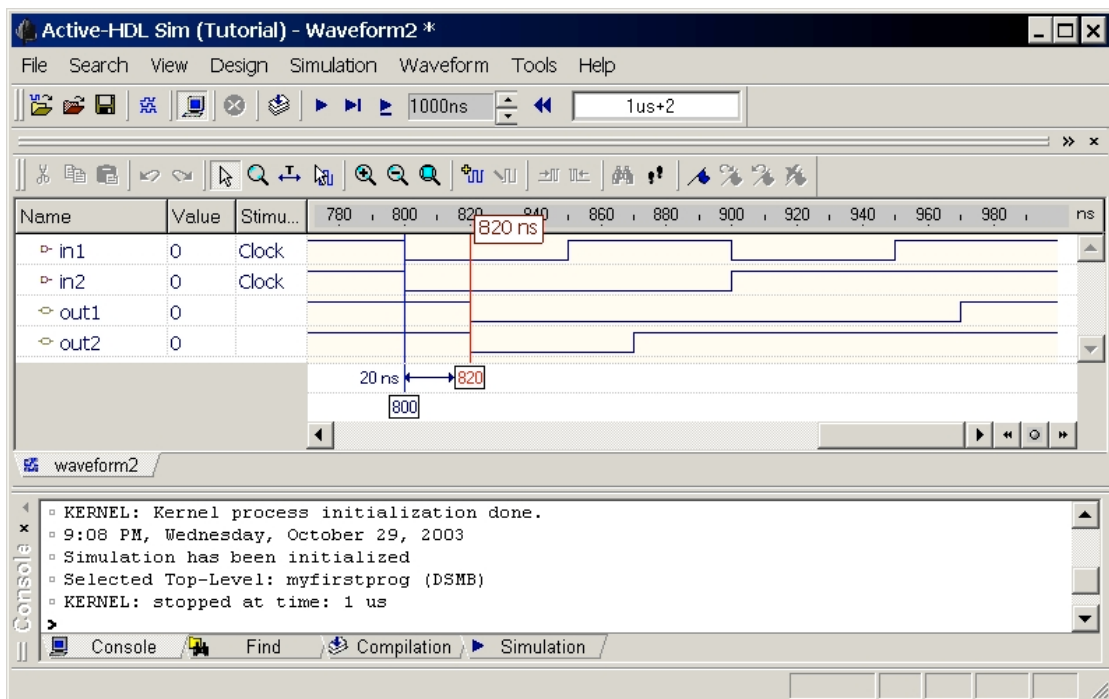


איור 19 : פתיחת קובץ RTL מסונתז

חזור על כל הפעולות שביצעת בסימולציה בקוד מקור. והרץ סימולציה של 1000 ns. אם הפעולה בוצעה כראוי תקבל את המסך המופיע באיור 20. התבוננות באיזור הגרפים מראה שתגובת המוצא למבוא מושהית ב 20 ns (ראה את הזמן המחושב בין הסמנים). בדוק את נתוני הרכיב שבחרנו - PALC22V10-20PC. הרכיב מאופיין בהשהיית שערים של 20 ns, בהתאמה מלאה לנתוני הסימולציה.

זהו, כאן סיימנו תדריך זה.

שיהיה בהצלחה בהמשך התרגילים.



איור 20 : תוצאות סימולציה של רכיב מסונתז